

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-243729

(43)Date of publication of application : 08.09.2000

(51)Int.Cl.

H01L 21/301

H01L 21/60

H01L 23/28

(21)Application number : 11-046301

(71)Applicant : TEXAS INSTR JAPAN LTD

(22)Date of filing : 24.02.1999

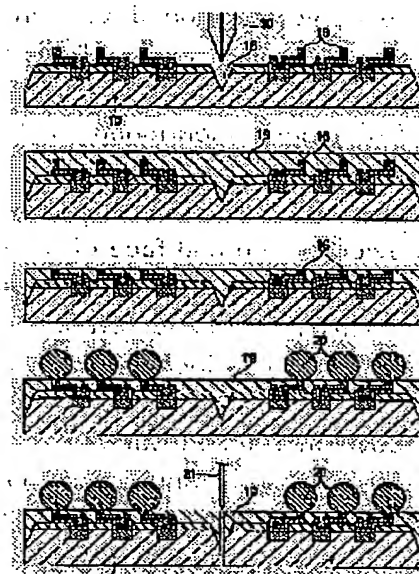
(72)Inventor : MASUMOTO MUTSUMI  
MASUMOTO KENJI

## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To improve reliability of resin sealing in the manufacture of a chip-sized package(CSP) at wafer level.

**SOLUTION:** This manufacturing method of this semiconductor device comprises a process for forming wirings for electrically connecting each electrode pad with external connection terminals and conductive support pillars 16 on a wafer 10 formed with semiconductor electrodes. In a process following this process, a groove 18 (preferably a V-shaped) is formed in the surface of the wafer 1 along the boundary line between the semiconductor elements. Then the end surfaces of the support pillars 16 are made to expose to cover the upper part of the above wafer with a resin 19, and the external connection terminals 20 are arranged on the end surfaces of the pillars 16. In the last process, semiconductor devices 32 constituted into one packaging structure are obtained, by dicing the wafer along the boundary line between the semiconductor elements.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the  
examiner's decision of rejection or application converted  
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of  
rejection]

[Date of requesting appeal against examiner's decision  
of rejection]

[Date of extinction of right]

**BEST AVAILABLE COPY**

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

## CLAIMS

---

[Claim(s)]

[Claim 1] The process which prepares the thing which is the wafer in which two or more semiconductor devices were formed, and by which the electrode pad of each of this semiconductor device was exposed to the front face, The process which forms wiring for connecting electrically each above-mentioned electrode pad and an external connection terminal on the above-mentioned wafer, The process which forms a conductive stanchion in each location on the above-mentioned wiring which arranges the above-mentioned external connection terminal, It is the process which forms a slot in the front face of the above-mentioned wafer in accordance with the boundary line of the above-mentioned semiconductor device. What has the aperture width [ at least ] of this slot larger than dicing width of face, The manufacture approach of the semiconductor device which was made to expose the end face of the above-mentioned conductive stanchion, and was equipped with the process which arranges the above-mentioned external connection terminal, and the process which carries out the dicing of the above-mentioned wafer in accordance with the boundary line of the above-mentioned semiconductor device on the end face of the conductive stanchion by which exposure was carried out [ above-mentioned ] with the wrap process by resin in the above-mentioned wafer top.

[Claim 2] The manufacture approach of a semiconductor device according to claim 1 that the predetermined include-angle inclination of the side attachment wall with which the above-mentioned slot counters is carried out to the line which intersects perpendicularly with the front face of the above-mentioned wafer.

[Claim 3] The manufacture approach of a semiconductor device according to claim 2 that the above-mentioned slot is the thing of the letter of the cross-section abbreviation for V characters.

[Claim 4] The manufacture approach of the semiconductor device according to claim 2 or 3 which has the aperture include angle of the side attachment wall with which the above-mentioned slot counters within the limits of 20 - 45 degrees.

[Claim 5] The manufacture approach of the semiconductor device according to claim 2 or 3 which has the above-mentioned depth of flute within the limits of 100-300 micrometers.

[Claim 6] the above-mentioned wafer front face — resin — a wrap process — the above-mentioned wafer front face — resin — abbreviation — the manufacture approach of the semiconductor device, according to claim 1, 2, 3, 4, or 5 further equipped with the process which supplies flat and smooth and is stiffened, and the process at which grinding of the front face of the above-mentioned resin which carried out hardening is carried out, and the end face of the above-mentioned conductive stanchion is exposed.

[Claim 7] The manufacture approach of the semiconductor device according to claim 1, 2, 3, 4, 5, or 6 further equipped with the process which forms the layer of elastic resin on the front face of the above-mentioned wafer before the process which forms the above-mentioned wiring.

[Claim 8] The manufacture approach of the semiconductor device according to claim 7 further equipped with the process which removes the field of the layer of the above-mentioned elastic resin which meets after the process which forms the layer of the above-mentioned elastic resin at the boundary line of the above-mentioned semiconductor device.

---

[Translation done.]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] Especially this invention relates to the manufacture approach of a semiconductor device of realizing package-ization of a semiconductor chip in the state of a wafer, about the manufacturing installation of a semiconductor device.

[0002]

[Description of the Prior Art] In the manufacture industry of a semiconductor device, the efforts for making still smaller one semiconductor device package-ized are continued. Efforts of the beginning for realizing the miniaturization of a semiconductor device are making size of the semiconductor chip itself small. Since migration length of the electron between each component can be shortened while the number of chips acquirable from one wafer by making a semiconductor chip small increases and the manufacturing cost is reduced, the working speed improves. It became possible to make smaller the chip size of the semiconductor device which has the same function by development of ultra-fine processing technology. The latest current design rule is 0.25 micrometers or less, and according to this, it can make 20 million or more transistors on one semiconductor chip.

[0003] The next efforts for realizing the miniaturization of a semiconductor device are making possible the nearest size of the package which closes this to the size of the semiconductor chip to build in. As one result to these efforts, the semiconductor device of the type called a chip-size package (Chip Size Package: CSP) or a chip scale package (Chip Scale Package) was produced. The chip-size package has succeeded in arranging the connection terminal (following and external connection terminal) to the substrate (henceforth an external substrate) which mounts a semiconductor device two-dimensional on the field of a semiconductor chip, and bringing the size of a package close to the size of a chip. While the component-side product became small by making the above-mentioned package size small so that the size of a semiconductor chip may be approached, the wire length which ties the electrode and external connection terminal on a chip became short, and the working speed of a semiconductor device improved like the case where the above-mentioned semiconductor chip itself is made small by this.

[0004] On the other hand, even if it made package size small, there was a problem that a manufacturing cost could seldom be lowered. Since the process of a package is performed for every semiconductor chip of each which was started from the wafer, even if this makes package size small, the process man day is fixed and it is because there is no change in the productivity.

[0005] With the wafer condition, from such a background, the technique (henceforth the wafer level CSP) which package-izes a semiconductor chip is proposed, and development which turns to utilization by each company is furthered from it. The wafer level CSP is the phase before cutting down each semiconductor chip from a wafer, and is a semi-conductor manufacturing technology which performs the package-ization. In the wafer level CSP, since a package process is made to a wafer process and one, there is an advantage which can lower sharply package cost, as a result the manufacturing cost of a chip. the still more detailed contents of the wafer level CSP — "Nikkei Business Publications — please refer to company \*\* Nikkei micro device August, 1998 issue 44-71-page."

[0006]

[Problem(s) to be Solved by the Invention] There is a thing of wrap structure by resin about a wafer

front face like the conventional chip-size package as one gestalt of the wafer level CSP. However, in such a semiconductor device, since resin has not covered the perimeter of a semiconductor chip, closure dependability falls as compared with the conventional package. That is, it originates in the coefficient-of-linear-expansion difference of a wafer and resin etc., and there is a possibility that resin may exfoliate from an interface with a wafer. Moreover, also in such a semiconductor device, the flattening technique of the good component side of the yield in which high display flatness was required of the component-side side of a semiconductor chip, and it was suitable for the semiconductor device of the above-mentioned gestalt is required.

[0007] Therefore, the purpose of this invention is in the semiconductor device called the wafer level CSP to offer the manufacture approach which raises the dependability of a resin seal.

[0008] Moreover, in the above-mentioned semiconductor device, another purpose of this invention is highly precise, and is to offer the manufacture approach including the flattening technique of the good component side of the yield.

[0009]

[Means for Solving the Problem] The manufacture approach of the semiconductor device concerning this invention is equipped with each following process. Namely, the process which prepares the thing which is the wafer in which two or more semiconductor devices were formed, and by which the electrode pad of each of this semiconductor device was exposed to the front face, The process which forms wiring for connecting electrically each above-mentioned electrode pad and an external connection terminal on the above-mentioned wafer, The process which forms a conductive stanchion in each location on the above-mentioned wiring which arranges the above-mentioned external connection terminal, It is the process which forms a slot (preferably V character-like thing) in the front face of the above-mentioned wafer in accordance with the boundary line of the above-mentioned semiconductor device. What has the aperture width [ at least ] of this slot larger than dicing width of face, The end face of the above-mentioned conductive stanchion is exposed, and it has the process which arranges the above-mentioned external connection terminal, and the process which carries out the dicing of the above-mentioned wafer in accordance with the boundary line of the above-mentioned semiconductor device on the end face of the conductive stanchion by which exposure was carried out [ above-mentioned ] with the wrap process by resin in the above-mentioned wafer top.

[0010] Mizouchi on the wafer in which resin formed the above-mentioned wafer top previously in the wrap process by resin is also filled up. The resin with which Mizouchi was filled up since the dicing of the wafer was carried out in the location of the above-mentioned slot is a wrap in a part of side face of each cut-down semiconductor chip. Consequently, the dependability of the closure of a semiconductor device improves.

[0011] here — the above-mentioned wafer front face — resin — a wrap process — the above-mentioned wafer front face — resin — abbreviation — it is desirable to have further the process which supplies flat and smooth and is stiffened, and the process at which grinding of the front face of the above-mentioned resin which carried out hardening is carried out, and the end face of the above-mentioned conductive stanchion is exposed.

[0012] Flattening on the front face of resin containing the end face of a conductive stanchion is easily attained by the grinding of the above-mentioned resin.

[0013] Moreover, it is desirable to have further the process which forms the layer of elastic resin on the front face of the above-mentioned wafer, and the process which removes the field of the layer of the above-mentioned elastic resin which meets at the boundary line of the above-mentioned semiconductor device before the process which forms the above-mentioned wiring.

[0014]

[Embodiment of the Invention] Hereafter, the operation gestalt of this invention is explained along with a drawing. In the manufacture approach of the semiconductor device concerning this operation gestalt, it is in the condition of the wafer in which the semiconductor device was formed, and a package process is carried out, it is the phase which carried out the dicing of the wafer to the last, and the package-sized

semiconductor device is obtained. The manufacture approach concerning this operation gestalt gives required wiring to the front face of the wafer in which the semiconductor device was formed, forms a conductive stanchion in it, forms a slot in accordance with the boundary line of a semiconductor device, closes a wafer front face by resin, transfers the solder ball which is an external connection terminal, and includes the process which carries out the dicing of the wafer and obtains each package. Along with drawing 1 - drawing 3, sequential explanation of these concrete processes is given. In addition, if it is this contractor, it will be understood that these drawings deform and are shown for explanation.

Moreover, although only some cross sections (thing corresponding to two semiconductor devices) of a wafer are shown, according to each process shown by a diagram, he will understand that processing which continues throughout a wafer and is explained below is carried out by a diagram.

[0015] In advance of each illustrated process, the usual wafer process is carried out and the semiconductor device arranged in the shape of a matrix is formed on the front face of a silicon wafer. Here, one circuit pattern on the wafer formed corresponding to one semiconductor device is called a semiconductor device. Two or more electrode pads pulled out from each semiconductor device are exposed to a wafer front face, and each electrode pad and an external connection terminal are electrically connected to it at a next process.

[0016] The layer 11 of photosensitive polyimide resin is formed in the front face of the wafer 10 which formed the semiconductor device at the process of the above-mentioned wafer process in the first process (A) concerning this operation gestalt. This layer 11 continues throughout a wafer 10, and is once a wrap about electrode pad 10a. The impact which the layer 11 of photosensitive polyimide resin covers the front face of a comparatively weak silicon wafer, and is given from the outside of the completed package eases spreading on a wafer front face. Next, at a process (B), the mask of the field in alignment with the boundary line of the field corresponding to electrode pad 10a and a semiconductor device is carried out using a photo mask, photosensitive polyimide resin is exposed and etching removal of the polyimide resin on the above-mentioned field is carried out.

[0017] Next, in order to form metal wiring on a wafer, process (C) - (F) is carried out. In a process (C), after making a titanium tungsten (TiW) deposit on a wafer front face using an ion sputtering method, the barrier metal 12 is formed on it with chromium (Cr), nickel (nickel), etc. At a process (D), the resist 13 for forming wiring on it is formed with a photolithography techniques. At a process (E), copper (Cu) is galvanized on the barrier metal exposed by the resist 13, and wiring 14 is formed. In a process (F), again, after making a titanium tungsten (TiW) deposit on a wafer front face with an ion sputtering method, gold (Au) and the noble metals 15 with which palladium (Pd) and others cannot oxidize easily are vapor-deposited on the above-mentioned wiring 14.

[0018] Next, in order to form the copper bump as a conductive stanchion, process (G) - (I) shown in drawing 2 is carried out. That is, in a process (G), resist 13' for forming a copper bump is formed in piles on the previous resist 13 with a photolithography techniques. In a process (H), the copper bump 16 is formed between wiring formed by resist 13' 14 absentminded. In the one example, the copper bump 16 can form by carrying out the laminating of the copper (Cu) plating. Next, in a process (I), the resist 13 and 13' which were given at a previous process (D) and a previous process (G) are removed. According to the above process, the copper bump 16 is obtained on wiring 14.

[0019] Next, in order to remove metal layers other than the field which gave wiring 14, process (J) - (L) is carried out. In a process (J), after forming a resist 17 on the field which gave wiring 14, in a process (K), the metal layer of the front face on the wafer except the field of wiring 14 is removed by etching. A resist 17 is removed in the continuing process (L).

[0020] Next, in the process (M) shown in drawing 3, the V character-like slot 18 is formed in accordance with the boundary line of each semiconductor device. The dicing saw 30 which has the edge of a blade doubled in the shape of [ target ] a quirk is controlled, and the slot 18 of the predetermined depth is obtained. It is a device to surround a part of periphery of each semiconductor device which the package resin with which the above-mentioned slot 18 is supplied at the following process flows in here, and is cut down behind by the resin in a slot 18. In case the configurations (the shape of the shape of U

character and a rectangle etc.) of the above-mentioned slot, the depth, the width of face of a slot, an aperture include angle, etc. are determined, it should take into consideration whether formation of the above-mentioned purpose and a slot is easy, and whether the influx of package resin is performed certainly. This slot 18 was made into the thing of the shape of V character with an aperture include angles of 30 and a depth of 180 micrometers in the one example. Other conditions that the slot formed is common must have at least the width of face of the upper part of the above-mentioned slot wider than the width of tooth of the dicing saw used for the dicing of the wafer carried out at a next process. Otherwise, it is because it does not remain after the dicing of a wafer around the semiconductor device with which a slot, as a result Mizouchi's resin were cut down.

[0021] At the following process (N), the resin 19 for a package is supplied on a wafer, and can extend to homogeneity throughout a wafer front face. The height of the front face of the resin 19 which was able to be opened to homogeneity is above the copper bump's 16 height, and the wiring 14 on a wafer and the copper bump 16 are completely buried in resin 19. In order to supply package resin 19 on a wafer at homogeneity, the supply approach of the resin of a spin coat method, screen printing, and others is employable. Also when which approach is used, it is necessary to guarantee that resin flows in certainly in the above-mentioned slot 18. On the other hand, also when which approach is used, the display flatness of resin 19 front face does not necessarily need to be highly precise so that clearly [ in explanation of a next process ].

[0022] At the following process (O), grinding of the surface whole region of resin 19 is carried out using the grinding attachment of a grinder and others. It is necessary to perform grinding until all the copper bumps' 16 end face is exposed to the upper part at least. In order to be stabilized and to obtain a smooth front face, it is desirable to form the copper bump 16 in a thing sufficiently higher than the target height, to carry out grinding of the copper bump 16 with the grinding of the above-mentioned resin 19 at this process, and to make it the target height. In one example, the height of the copper bump 16 after the grinding in this process was set to 100 micrometers.

[0023] In the above-mentioned grinding, especially a surface result of copper bump 16 end face exposed is important. It is necessary to avoid that the mounting dependability of the solder ball mounted behind falls in the SAW mark of an end face, and weld flash. In order to obtain the good copper bump's 16 end face, the class of grinding attachment to be used and a service condition are determined. In the example, the good end face without a SAW mark and weld flash was obtained by using the grinder which used super-\*\* for the blade surface on the following conditions.

[0024]

[Table 1]

スピンドル回転数 (rpm)	3 0 0 0
テーブル回転数 (rpm)	3 0 0
送り速度 ( $\mu$ m/sec)	0. 2
研削水量 (l/min)	5. 0
電流値 (A)	8. 9

[0025] Next, in a process (P), the solder ball 20 as an external connection terminal created at another process is transferred on each above-mentioned copper bump 16, and it fixes by the package reflow. In a process (Q), the dicing of the wafer 10 is carried out at the last using a dicing saw 31, and the semiconductor device 32 package-ized through the above-mentioned process is obtained. Since dicing is performed in the center of the slot 18 formed at the previous process, resin 19 has reached the perimeter by the side of the component side of each separated semiconductor device 32 exceeding the thickness of original resin. By this, the chip of a semiconductor device 32, i.e., the integrity of the substrate of silicon and the resin 19 by the side of a component side, increases.

[0026] Some wafers in three processes chosen from the above-mentioned production process are expanded, and it is shown in drawing 4 - drawing 6 . Drawing 4 is drawing which expanded the important section in the process (I) of drawing 2 . Signs that polyimide resin 11, wiring 14, and the copper bump 16

were formed on the wafer 10, respectively are shown in this drawing. In addition, in this drawing, the metal layer in which wiring 14 was formed up and down by the process (C) and (F) is omitted. Drawing 5 is drawing which expanded the important section in the process (O) of drawing 3. Grinding of the supplied resin 19 is carried out, and signs that the front face of a package was formed are shown by this drawing. Drawing 6 is drawing which expanded the important section in the process (Q) of drawing 3, i.e., the completed important section of a semiconductor device 32. By a diagram, signs that the solder ball 20 was fixed on the copper bump 16 are shown. Moreover, signs that a part of periphery section of the chip of a semiconductor device 32 is covered with resin 19 are shown. At one example, each dimension of H1-H5 in drawing is 625 micrometers and 5 micrometers, respectively. 5 micrometers 100 micrometers And it is 500 micrometers.

[0027] Drawing 7 shows an example of the semiconductor device obtained by the manufacture approach concerning this invention. The superficial size of the package-ized semiconductor device 70 is completely in agreement with the superficial size of the semiconductor chip 71 which it mounts. Many solder balls 72 as an external connection terminal are arranged two-dimensional at the component-side side (drawing on) of a semiconductor device 32. Each solder ball 72 is electrically connected with each electrode pad 76 of a semiconductor chip 71 by the copper bump 74 and the copper wiring 75 which were covered with package resin 73. The part 77 by the side of the component side around a semiconductor chip 71 was cut aslant, and was lacked, and some package resin 73 has resulted here. By surroundings lump of this resin, the closure dependability of the resin 73 to a semiconductor chip 71 improves.

[0028] In the above, the operation gestalt of this invention was explained along with the drawing. It is clear that the applicability of this invention is not limited to the matter shown in the above-mentioned operation gestalt. In the operation gestalt, it formed by transferring the solder ball which formed the external connection terminal at other processes. However, the external connection terminal could be formed on the copper bump by forming a direct stud bump on other approaches, for example, a copper bump, etc.

[0029]

[Effect of the Invention] According to this invention, in the so-called manufacture of the wafer level CSP, the dependability of a resin seal can be raised like the above.

[0030] Moreover, by the approach of carrying out grinding of the resin and exposing a conductive stanchion, it is highly precise and the flattening technique of the good component side of the yield is realized.

---

[Translation done.]

#### \* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

#### DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] It is drawing showing the production process of the semiconductor device concerning 1 operation gestalt of this invention.

[Drawing 2] It is drawing showing the production process of the semiconductor device concerning 1

- operation gestalt of this invention.

[Drawing 3] It is drawing showing the production process of the semiconductor device concerning:1. operation gestalt of this invention.

[Drawing 4] It is drawing which expanded the important section in the process (I) of drawing 2.

[Drawing 5] It is drawing which expanded the important section in the process (O) of drawing 3.

[Drawing 6] It is drawing which expanded the important section in the process (Q) of drawing 3, i.e., the completed important section of a semiconductor device.

[Drawing 7] It is the outline sectional view of the semiconductor device obtained by the manufacture approach concerning this invention.

[Description of Notations]

10 Wafer

10a Electrode pad

11 Polyimide Resin

12 Barrier Metal

13 Resist

14 Wiring

15 Resist

16 Copper Bump

17 Resist

18 Slot

19 Package Resin

20 Solder Ball

32 Semiconductor Device

---

[Translation done.]



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-243729

(P2000-243729A)

(43) 公開日 平成12年9月8日(2000.9.8)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テマコード<sup>\*</sup>(参考)

H 0 1 L 21/301  
21/60  
23/28

H 0 1 L 21/78  
23/28  
21/78  
21/92

A 4 M 1 0 9  
Z  
L  
6 0 4 R

審査請求 未請求 請求項の数 8 O L (全 7 頁)

(21) 出願番号 特願平11-46301

(22) 出願日 平成11年2月24日(1999.2.24)

(71) 出願人 390020248

日本テキサス・インスツルメンツ株式会社  
東京都新宿区西新宿六丁目24番1号

(72) 発明者 升本 睦

大分県速見郡日出町大字川崎字高尾4260

日本テキサス・インスツルメンツ株式会社  
内

(72) 発明者 樹本 健治

大分県速見郡日出町大字川崎字高尾4260

日本テキサス・インスツルメンツ株式会社  
内

(74) 代理人 100098039

弁理士 遠藤 恭

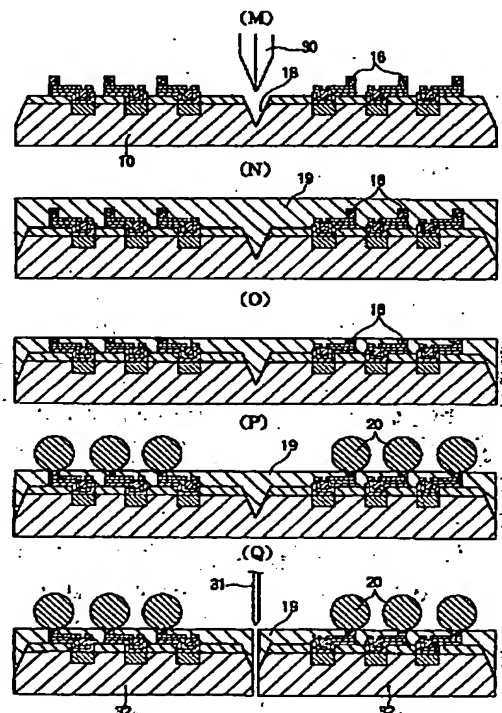
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 ウェハレベルCSPの製造において、樹脂封止の信頼性を向上させる。

【解決手段】 本発明に係る半導体装置の製造方法は、半導体素子を形成したウェハ10上に、各電極パッド10aと外部接続端子とを電気的に接続するための配線14及び導電性の支柱16を形成する工程を含む。これに続く工程で、各半導体素子の境界線に沿って、上記ウェハの表面に溝18(好ましくはV字状のもの)を形成する。次いで、上記導電性の支柱16の端面を露出させて、上記ウェハ上を樹脂19で覆い、導電性の支柱の端面上に、外部接続端子20を配置する。最後の工程で、上記半導体素子の境界線に沿って、上記ウェハをダイシングすることによってパッケージ化された半導体装置32を得る。



BEST AVAILABLE COPY

(2)

## 【特許請求の範囲】

【請求項1】 複数の半導体素子を形成したウェハであって、該各半導体素子の電極パッドがその表面に露出されたものを用意する工程と、

上記ウェハ上に、上記各電極パッドと外部接続端子とを電氣的に接続するための配線を形成する工程と、

上記外部接続端子を配置する上記配線上の各位置に、導電性の支柱を形成する工程と、

上記半導体素子の境界線に沿って、上記ウェハの表面に溝を形成する工程であって、少なくとも該溝の開口幅がダイシング幅よりも広いものと、

上記導電性の支柱の端面を露出させて、上記ウェハ上を樹脂で覆う工程と、

上記露出された導電性の支柱の端面上に、上記外部接続端子を配置する工程と、

上記半導体素子の境界線に沿って、上記ウェハをダイシングする工程と、を備えた半導体装置の製造方法。

【請求項2】 上記溝の対向する側壁が、上記ウェハの表面に直交する線に対し所定角度傾斜されている請求項1記載の半導体装置の製造方法。

【請求項3】 上記溝が断面略V字状のものである請求項2記載の半導体装置の製造方法。

【請求項4】 上記溝の対向する側壁の開き角度が、20～45度の範囲内にある請求項2又は3記載の半導体装置の製造方法。

【請求項5】 上記溝の深さが、100～300 $\mu$ mの範囲内にある請求項2又は3記載の半導体装置の製造方法。

【請求項6】 上記ウェハ表面を樹脂で覆う工程は、上記ウェハ表面に樹脂を略平滑に供給し、硬化させる工程と、

上記硬化させた樹脂の表面を研削して、上記導電性の支柱の端面を露出させる工程と、

を更に備えた請求項1、2、3、4又は5記載の半導体装置の製造方法。

【請求項7】 上記配線を形成する工程の前に、上記ウェハの表面に、弾性樹脂の層を形成する工程を更に備えた請求項1、2、3、4、5又は6記載の半導体装置の製造方法。

【請求項8】 上記弾性樹脂の層を形成する工程の後、上記半導体素子の境界線に沿う上記弾性樹脂の層の領域を除去する工程を更に備えた請求項7記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、半導体装置の製造装置に関し、特に、ウェハの状態で半導体チップのパッケージ化を実現する半導体装置の製造方法に関するものである。

## 【0002】

【従来の技術】 半導体装置の製造業界においては、パッケージ化される一つの半導体装置を更に小型にするための努力が続けられている。半導体装置の小型化を実現するための最初の努力は、半導体チップ自体のサイズを小さくすることである。半導体チップを小さくすることによって、1枚のウェハから取得できるチップ数が増加して、その製造コストが引き下げられると共に、各素子間における電子の移動距離を短くすることができるので、その動作速度が向上する。微細加工技術の発達によって、同じ機能を有する半導体装置のチップサイズをより小さいものにすることが可能となった。現在の最先端のデザインルールは、0.25 $\mu$ m以下であり、これによれば、1つの半導体チップ上に2000万個以上のトランジスタを作り込むことが可能である。

【0003】 半導体装置の小型化を実現するための次の努力は、内蔵する半導体チップのサイズに対して、これを封止するパッケージのサイズをできるだけ近いものとするところである。この努力に対する一つの成果として、チップサイズパッケージ(Chip Size Package:CSP)あるいはチップスケールパッケージ(Chip Scale Package)と呼ばれるタイプの半導体装置が生まれた。チップサイズパッケージは、半導体装置を実装する基板(以下、外部基板という)に対する接続端子(以下、外部接続端子)を、半導体チップの面上に2次元的に配置するなどして、パッケージのサイズをチップのサイズに近づけることに成功している。上記パッケージサイズを半導体チップのサイズに近づけよう小さくすることによって、その実装面積が小さくなると共に、チップ上の電極と外部接続端子とを結ぶ配線長が短くなり、これによって上記半導体チップ自体を小さくした場合と同様に、半導体装置の動作速度が向上した。

【0004】 その一方で、パッケージサイズを小さくしても、あまり製造コストを下げられないという問題があった。これは、パッケージのプロセスは、ウェハから切り出した個々の半導体チップ毎に行われるため、パッケージサイズを小さくしても、そのプロセス工数は一定であり、その生産性に変化がないからである。

【0005】 このような背景から、ウェハ状態のまま半導体チップをパッケージ化する技術(以下、ウェハレベルCSPという)が提案され、各社により実用化に向けての開発が進められている。ウェハレベルCSPは、個々の半導体チップをウェハから切り出す前の段階で、そのパッケージ化を施す半導体製造技術である。ウェハレベルCSPにおいては、パッケージプロセスが、ウェハプロセスと一体にできるので、パッケージコスト、延いてはチップの製造コストを大幅に下げられる利点がある。ウェハレベルCSPの更に詳細な内容については、「日経BP社刊 日経マイクロデバイス 1998年8月号 44～71頁」を参照されたい。

## 【0006】

(3)

3

【発明が解決しようとする課題】 ウェハレベルCSPの一形態として、従来のチップサイズパッケージと同様に、ウェハ表面を樹脂で覆う構造のものがある。しかしながら、このような半導体装置では、樹脂は半導体チップの周囲を覆っていないので、従来のパッケージに比して封止信頼性が低下する。すなわち、ウェハと樹脂の線膨張係数差等に起因して、樹脂がウェハとの界面から剥離するおそれがある。また、このような半導体装置においても、半導体チップの実装面側に高い平坦度が要求され、上記形態の半導体装置に適した、歩留まりの良い実装面の平坦化技術が必要である。

【0007】従って、本発明の目的は、ウェハレベルCSPと呼ばれる半導体装置において、樹脂封止の信頼性を向上させる製造方法を提供することにある。

【0008】また、本発明の別の目的は、上記半導体装置において、高精度で、歩留まりの良い実装面の平坦化技術を含む製造方法を提供することにある。

【0009】

【課題を解決するための手段】本発明に係る半導体装置の製造方法は、以下の各工程を備える。すなわち、複数の半導体素子を形成したウェハであって、該各半導体素子の電極パッドがその表面に露出されたものを用意する工程と、上記ウェハ上に、上記各電極パッドと外部接続端子とを電気的に接続するための配線を形成する工程と、上記外部接続端子を配置する上記配線上の各位置に、導電性の支柱を形成する工程と、上記半導体素子の境界線に沿って、上記ウェハの表面に溝(好ましくはV字状のもの)を形成する工程であって、少なくとも該溝の開口幅がダイシング幅よりも広いものと、上記導電性の支柱の端面を露出させて、上記ウェハ上を樹脂で覆う工程と、上記露出された導電性の支柱の端面上に、上記外部接続端子を配置する工程と、上記半導体素子の境界線に沿って、上記ウェハをダイシングする工程とを備える。

【0010】上記ウェハ上を樹脂で覆う工程において、樹脂は、先に形成したウェハ上の溝内にも充填される。ウェハは上記溝の位置でダイシングされるので、溝内に充填された樹脂は、切り出された個々の半導体チップの側面の一部を覆う。この結果、半導体装置の封止の信頼性が向上する。

【0011】ここで、上記ウェハ表面を樹脂で覆う工程は、上記ウェハ表面に樹脂を略平滑に供給し、硬化させる工程と、上記硬化させた樹脂の表面を研削して、上記導電性の支柱の端面を露出させる工程とを更に備えることが好ましい。

【0012】上記樹脂の研削によって、導電性の支柱の端面を含む、樹脂表面の平坦化が容易に達成される。

【0013】また、上記配線を形成する工程の前に、上記ウェハの表面に、弾性樹脂の層を形成する工程と、上記半導体素子の境界線に沿う上記弾性樹脂の層の領域を

4

除去する工程を更に備えることが好ましい。

【0014】

【発明の実施の形態】以下、本発明の実施形態を図面に沿って説明する。本実施形態に係る半導体装置の製造方法においては、半導体素子を形成したウェハの状態で、パッケージプロセスが実施され、最後にウェハをダイシングした段階で、パッケージ化された半導体装置が得られる。本実施形態に係る製造方法は、半導体素子を形成したウェハの表面に、必要な配線を施し、導電性の支柱を形成し、半導体素子の境界線に沿って溝を形成し、ウェハ表面を樹脂で封止し、外部接続端子である半田ボールを移載し、ウェハをダイシングして個々のパッケージを得る工程を含んでいる。これらの具体的な工程を、図1～図3に沿って順次説明する。なお、当業者であれば、これらの図が、説明のためにデフォルメして示されていることが理解されるであろう。また、図では、ウェハの一部の断面(2つの半導体装置に対応するもの)のみが示されているが、図で示す各工程に従って、ウェハの全域に亘って以下に説明する処理が実施されることを理解するであろう。

【0015】図示した各工程に先立って、通常のウェハプロセスが実施され、シリコンウェハの表面上にマトリクス状に配列した半導体素子が形成される。ここでは、一つの半導体装置に対応して形成されるウェハ上の一つの回路パターンを半導体素子と呼ぶ。ウェハ表面には、各半導体素子から引き出された複数の電極パッドが露出され、後の工程で、各電極パッドと外部接続端子とが電気的に接続される。

【0016】本実施形態に係る最初の工程(A)において、上記ウェハプロセスの工程で半導体素子を形成したウェハ10の表面に、感光性ポリイミド樹脂の層11が形成される。この層11は、ウェハ10の全域に亘り、一旦電極パッド10aを覆う。感光性ポリイミド樹脂の層11は、比較的脆いシリコンウェハの表面を覆い、完成されたパッケージの外側から与えられる衝撃が、ウェハ表面に伝播するのを緩和する。次に、工程(B)で、フォトリソマスクを用いて、電極パッド10aに対応する領域及び半導体素子の境界線に沿う領域をマスクし、感光性ポリイミド樹脂を感光して、上記領域上のポリイミド樹脂をエッチング除去する。

【0017】次に、ウェハ上に金属配線を形成するために、工程(C)～(F)を実施する。工程(C)において、イオンスパッタ法を用いてウェハ表面にチタンタングステン(TiW)を堆積させた後、クロム(Cr)、ニッケル(Ni)等でその上にバリアメタル12を形成する。工程(D)で、その上に、配線を形成するためのレジスト13をホトリソグラフィ技術により形成する。工程(E)で、銅(Cu)を、レジスト13により露出されたバリアメタル上にめっきし、配線14を形成する。工程(F)において、再度、イオンスパッタ法によりウェハ表面にチタンタング

(4)

5

ステン(TiW)を堆積させた後、金(Au)、パラジウム(Pd)その他の酸化し難い貴金属15を上記配線14上に蒸着する。

【0018】次に、導電性支柱としての銅パンプを形成するために、図2に示す工程(G)～(I)を実施する。すなわち、工程(G)において、ホトリソグラフィ技術により、銅パンプを形成するためのレジスト13'を、先のレジスト13上に重ねて形成する。工程(H)において、レジスト13'で形成される配線14上の空間に、銅パンプ16を形成する。一つの実施例で、銅パンプ16は、銅(Cu)めっきを積層することによって、形成することができる。次に、工程(I)において、先の工程(D)及び工程(G)で施されたレジスト13及び13'を、除去する。以上の工程によって、配線14上に銅パンプ16を得る。

【0019】次に、配線14を施した領域以外の金属層を除去するために、工程(J)～(L)が実施される。工程(J)において、配線14を施した領域上に、レジスト17を形成した後、工程(K)において、エッチングにより配線14の領域を除くウェハ上の表面の金属層が除去される。続く工程(L)において、レジスト17が除去される。

【0020】次に、図3に示す工程(M)において、各半導体素子の境界線に沿ってV字状の溝18を形成する。目的の溝形状に合わせた刃先を有するダイシングソー30を制御して、所定深さの溝18を得る。上記溝18は、次の工程で供給されるパッケージ樹脂がここに流れ込んで、後に切り出される個々の半導体装置の外周の一部が、溝18内の樹脂で囲まれるようにするための工夫である。上記溝の形状(U字状、方形状など)、深さ、溝の幅、開き角度等を決定する際には、上記目的、溝の形成が容易であるか否か、パッケージ樹脂の流れ込みが確実に行われるか否か等を考慮すべきである。一つの実施例で、この溝18を、開き角度30度、深さ180 $\mu$ mのV字状のものとした。形成される溝の共通する他の条件は、少なくとも上記溝の上部の幅が、後の工程で実施されるウェハのダイシングに用いられるダイシングソーの刃幅よりも広いものでなければならない。そうでなければ、ウェハのダイシング後に溝、延いては溝内の樹脂が、切り出された半導体装置の周囲に残らないからである。

【0021】次の工程(N)で、パッケージ用の樹脂19がウェハ上に供給され、ウェハ表面の全域に均一に広げられる。均一に広げられた樹脂19の表面の高さは、銅パンプ16の高さよりも上にあり、ウェハ上の配線14及び銅パンプ16は、完全に樹脂19内に埋まる。パッケージ樹脂19をウェハ上に均一に供給するために、スピンコート法、スクリーン印刷法その他の樹脂の供給方法が採用できる。何れの方法を用いた場合にも、上記溝18内に樹脂が確実に流れ込むことを保証する必要がある。

6

る。一方で、何れの方法を用いた場合にも、後の工程の説明で明らかなように、樹脂19表面の平坦度は、必ずしも高精度である必要はない。

【0022】次の工程(O)で、樹脂19の表面全域をグラインダその他の研削装置を用いて研削する。研削は、少なくとも全ての銅パンプ16の端面が上部へ露出するまで行う必要がある。安定して平滑な表面を得るために、銅パンプ16を目的の高さよりも十分高いものに形成し、この工程で上記樹脂19の研削と共に、銅パンプ16を研削して目的の高さにすることが好ましい。一つの実施例において、本工程における研削後の銅パンプ16の高さを100 $\mu$ mとした。

【0023】上記研削においては、露出される銅パンプ16端面の表面仕上がりが特に重要である。端面のSAWマーク、バリによって、後に実装される半田ボールの実装信頼性が低下することを回避する必要がある。良好な銅パンプ16の端面を得るために、使用する研削装置の種類、使用条件を決定する。実施例では、刃面に超硬を用いたグラインダを下記条件で使用するることによって、SAWマーク、バリのない良好な端面が得られた。

【0024】

【表1】

スピンドル回転数 (rpm)	3000
テーブル回転数 (rpm)	300
送り速度 ( $\mu$ m/sec)	0.2
研削水量 (l/min)	5.0
電流値 (A)	8.9

【0025】次に、工程(P)において、別の工程で作成された外部接続端子としての半田ボール20を、上記各銅パンプ16上に移載し、一括リフローにより固定する。最後に、工程(Q)において、ダイシングソー31を用いて、ウェハ10をダイシングし、上記工程を経てパッケージ化された半導体装置32を得る。ダイシングは、先の工程で形成された溝18の中央で行われるので、分離された個々の半導体装置32の実装面側の周囲には、本来の樹脂の厚みを超えて樹脂19が至っている。これによって、半導体装置32のチップ、すなわちシリコンの基板と実装面側の樹脂19との一体性が高まる。

【0026】図4～図6には、上記製造工程から選択された3つの工程におけるウェハの一部が拡大して示されている。図4は、図2の工程(I)における要部を拡大した図である。この図には、ウェハ10上に、ポリイミド樹脂11、配線14及び銅パンプ16がそれぞれ形成された様子が示されている。なお、この図では、工程(C)及び(F)で配線14の上下に形成された金属層が省略されている。図5は、図3の工程(O)における要部を拡大した図である。この図では、供給した樹脂19が研削され、パッケージの表面が形成された様子が示されてい

(5)

る。図6は、図3の工程(Q)における要部、すなわち完成された半導体装置32の要部を拡大した図である。図では、銅バンプ16上に半田ボール20が固定された様子が示されている。また、半導体装置32のチップの外周部が、一部、樹脂19によって覆われている様子が示されている。一つの実施例で、図におけるH1～H5の各寸法は、それぞれ、625 $\mu$ m、5 $\mu$ m、5 $\mu$ m、100 $\mu$ m及び500 $\mu$ mである。

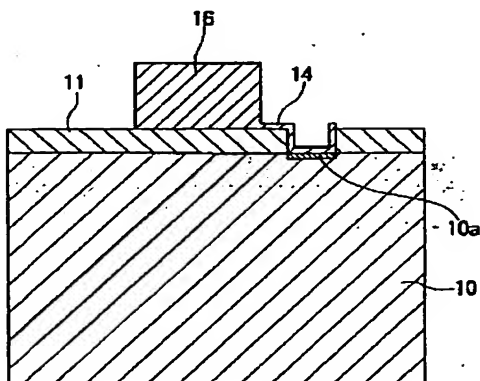
【0027】図7は、本発明に係る製造方法により得られる半導体装置の一例を示している。パッケージ化された半導体装置70の平面的サイズは、それが実装する半導体チップ71の平面的サイズと完全に一致している。半導体装置32の実装面側(図では上側)には、外部接続端子としての多数の半田ボール72が2次元的に配列されている。各半田ボール72は、パッケージ樹脂73に覆われた銅バンプ74及び銅配線75によって、半導体チップ71の各電極パッド76と電気的に接続されている。半導体チップ71の周囲の実装面側の部分77は、斜めに切り欠かれ、ここにパッケージ樹脂73の一部が至っている。この樹脂の回り込みによって、半導体チップ71に対する樹脂73の封止信頼性が向上する。

【0028】以上、本発明の実施形態を図面に沿って説明した。本発明の適用範囲が、上記実施形態において示した事項に限定されないことは明らかである。実施形態においては、外部接続端子を他の工程で形成した半田ボールを移載することによって形成した。しかしながら、他の方法、例えば銅バンプ上に直接スタッドバンプを形成する等により、外部接続端子を銅バンプ上に形成することができるであろう。

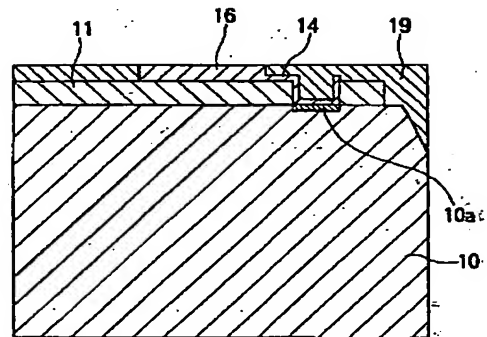
【0029】

【発明の効果】以上の如く本発明によれば、いわゆるウェハレベルCSPの製造において、樹脂封止の信頼性を向上させることができる。

【図4】



【図5】



【0030】また、樹脂を研削して導電性の支柱を露出させる方法によって、高精度で、歩留まりの良い実装面の平坦化技術が実現される。

【図面の簡単な説明】

【図1】本発明の一実施形態に係る半導体装置の製造工程を示す図である。

【図2】本発明の一実施形態に係る半導体装置の製造工程を示す図である。

【図3】本発明の一実施形態に係る半導体装置の製造工程を示す図である。

【図4】図2の工程(I)における要部を拡大した図である。

【図5】図3の工程(O)における要部を拡大した図である。

【図6】図3の工程(Q)における要部、すなわち完成された半導体装置の要部を拡大した図である。

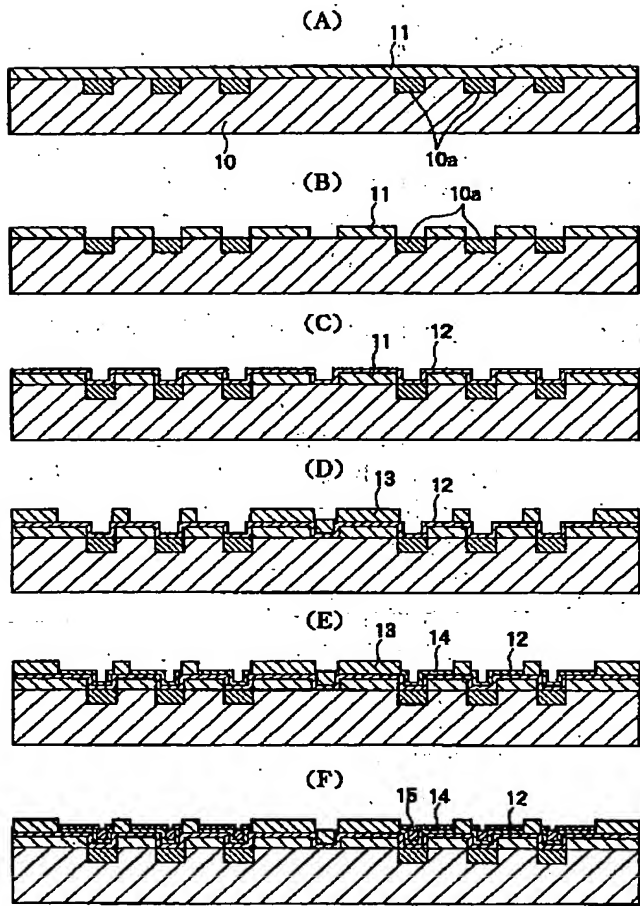
【図7】本発明に係る製造方法により得られる半導体装置の概略断面図である。

【符号の説明】

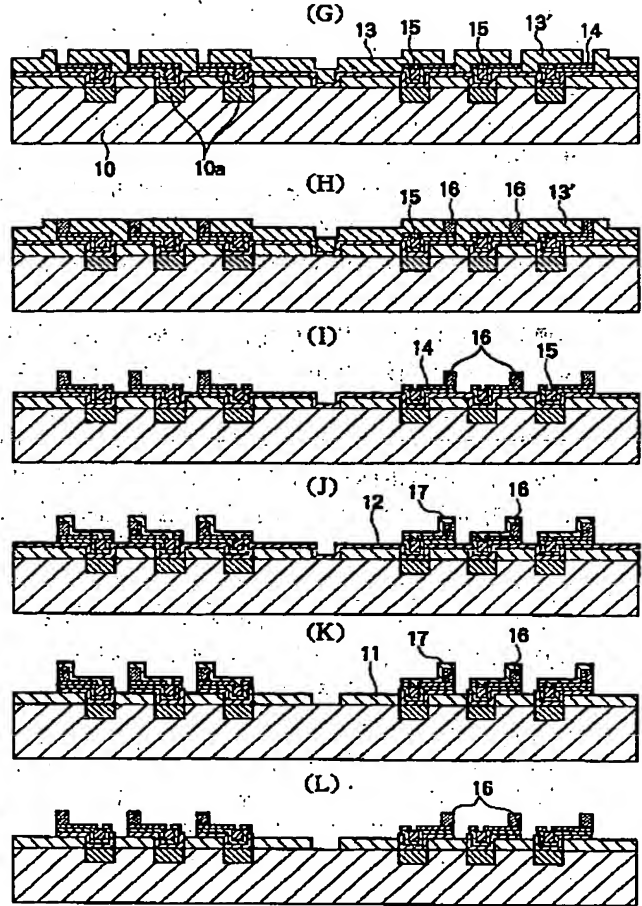
- 10 ウェハ
- 10a 電極パッド
- 11 ポリイミド樹脂
- 12 バリアメタル
- 13 レジスト
- 14 配線
- 15 レジスト
- 16 銅バンプ
- 17 レジスト
- 18 溝
- 19 パッケージ樹脂
- 20 半田ボール
- 32 半導体装置

(6)

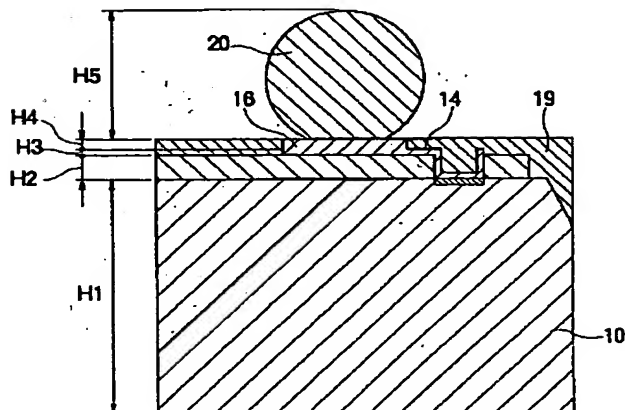
【図1】



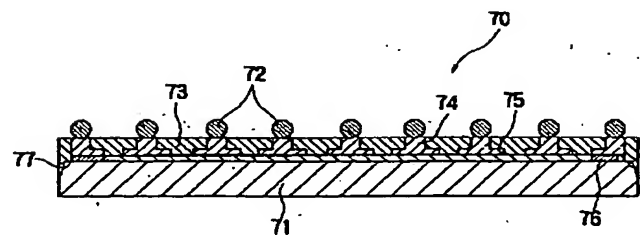
【図2】



【図6】

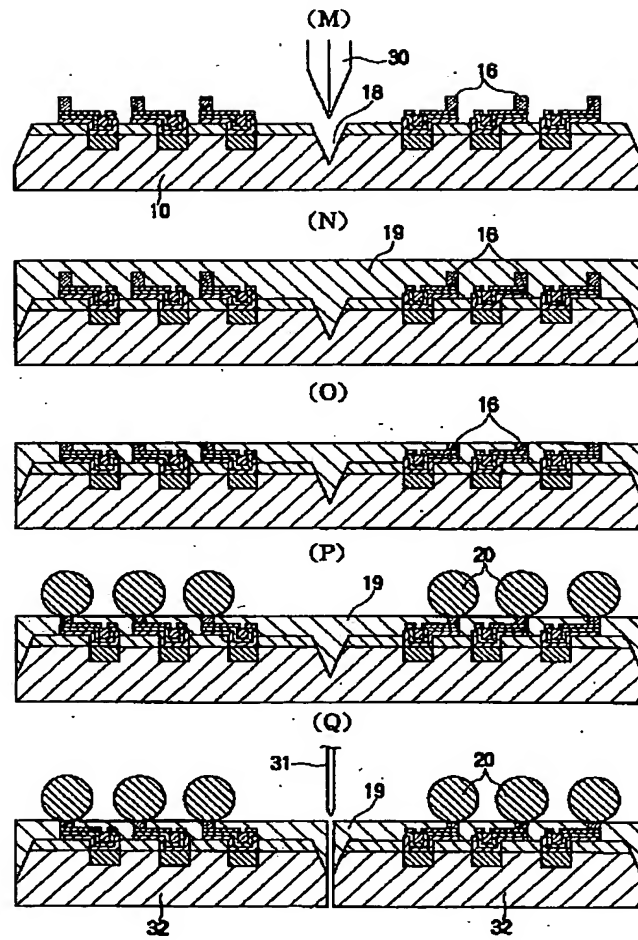


【図7】



(7)

【図3】



フロントページの続き

Fターム(参考) 4M109 AA01 BA03 CA10 CA12 DB17  
EE06